

CURRICULUM VITAE

Nom patronymique : **FERRES** ; Prénom : **Bruno**

Date de naissance : 01 février 1996 à Nîmes (Gard)

Grade : **Maître de Conférences**

Affectation actuelle : Université Grenoble Alpes / Laboratoire Verimag

Section du CNU : 27, MCF, échelon 3

Courriel : bruno.ferres@univ-grenoble-alpes.fr

Formation et parcours professionnel

2023–2024 : **Maître de Conférences** à l'Université Grenoble Alpes et au laboratoire Verimag.

2022–2023 : **Chercheur post-doctorant** au Laboratoire d'Informatique du Parallélisme, à Lyon, dans l'équipe projet CASH (Inria).

2018–2022 : **Thèse de doctorat** préparée au sein du laboratoire **TIMA** et soutenue à l'**Université Grenoble Alpes** : « *Utilisation de langages de construction matérielle pour une exploration flexible des espaces de conception sur FPGA* », soutenue le **23/03/2022**.

Encadrants : Frédéric Rousseau et Olivier Muller

Jury : **Virginie Fresse** (rapporteur), Pierre-Henri Horrein, Christophe Jego, Régis Leveugle, **Sébastien Pillement** (rapporteur)

2017–2018 : Master en CyberSécurité de l'**Université Grenoble Alpes**.

2015–2018 : Ingénieur diplômé de l'**Ensimag**, filière *Systèmes et Logiciels Embarqués*.

Intérêts de recherche

- **Méthodes de conception numériques** : langages de construction matérielle, exploration d'espace de conception
- **Vérification des systèmes** : propriétés électriques des circuits au niveau transistor, propriétés extra-fonctionnelles des circuits au niveau RTL
- **Sécurité à l'interface logicielle/matérielle** : insertion de contre-mesures aux attaques physiques à la compilation, outils et méthodes d'analyses des vulnérabilités aux attaques physiques
- **Compilation RISC-V** : compilation sécurisée pour processeur RISC-V, extension vectorielle RISC-V

Enseignements en cours

- 2023– : « Introductions aux systèmes et développement logiciel » L1 Math Info (DSDA)
- 2023– : « Introductions aux Architectures Logicielles et Matérielles » L2 Math Info (DLST)
- 2023– : « Architectures Logicielles et Matérielles » L3 Info (UFR IM²AG)
- 2023– : « Physical Security » M2 CySec (UFR IM²AG)

Enseignements passés

- 2022–2023 : Programmation (C, OCaml, Python) M2 prépa Agreg (ENS Lyon)
- 2019–2021 : « Architectures des Ordinateurs » 1^{ère} année (GINP–Ensimag)
- 2018–2021 : « Conception et Exploitation des Processeurs » 1^{ère} année (GINP–Ensimag)
- 2018–2021 : « Projet UNIX » 4^{ème} année IESE (Polytech Grenoble)

Encadrements

- 1 thèse en cours
- 4 stages (1 stage L3, 1 stage M1, 2 stages M2)
- 3 projets intégrés à la formation (M1/M2)

Services à la communauté

- **Activités de relectures**
 - Membre du Comité de Lecture de COMPAS 2024, partie architecture
 - Conférences internationales, relecteur externe (relecture déléguée) : FACS'22, TACAS'23
 - Ouvrages scientifiques : participation à la relecture des ouvrages “*Multi-Processor System-on-Chip*” (*I - Architectures* et *II - Applications*), édités par Frédéric Rousseau et Liliana Andrade (Polytech Grenoble/TIMA).
- **2023** : Cours d'introduction à **Chisel**, à l'occasion de l'école thématique **Archi 2023**, organisée par Arthur Pérais (CR CNRS/TIMA) à Grenoble (<https://archi.sciencesconf.org/>).
Format : 1h30 de Cours Magistral ; 1h30 de Travaux Pratiques.
- **2023** : Participation à des rencontres entre chercheurs/chercheuses et lycéen(ne)s avec l'association DECLICS, au lycée Juliette Récamier, à Lyon (2×3h)
<http://www.cerclefer.org/fr/declics/>
- **2019 – 2021** : Représentant des chercheurs et chercheuses non permanent(e)s au conseil de laboratoire de TIMA (Grenoble INP, UGA, CNRS).
- **2019** : Organisation de la journée des doctorant(e)s pour l'école doctorale *Électronique, Électrotechnique, Automatique et Traitement du Signal* (**EEATS**, Grenoble)

Liste des publications

Revue internationale

- [FMR23] Bruno FERRES, Olivier MULLER et Frédéric ROUSSEAU. “A Chisel Framework for Flexible Design Space Exploration through a Functional Approach”. In : *ACM Transactions on Design Automation of Electronic Systems* 28.4 (2023). Author version available at <https://arxiv.org/pdf/2302.12702.pdf>, p. 1-31.

Conférences internationales avec comité de lecture

- [Oul+24] Oussama OULKAID, Bruno FERRES, Matthieu MOY, Pascal RAYMOND, Mehdi KHOSRAVIAN, Ludovic HENRIO et Gabriel RADANNE. “A Transistor Level Relational Semantics for Electrical Rule Checking by SMT Solving”. In : *Design, Automation and Test in Europe Conference*. Available at <https://hal.science/hal-04527225/file/date2024.pdf>. Valencia, Spain, 2024.
- [FMR21] Bruno FERRES, Olivier MULLER et Frédéric ROUSSEAU. “Integrating Quick Resource Estimators in Hardware Construction Framework for Design Space Exploration”. In : *International Workshop on Rapid System Prototyping*. Available at <https://hal.science/hal-03724027/>. IEEE. 2021, p. 64-70.
- [FMR20] Bruno FERRES, Olivier MULLER et Frédéric ROUSSEAU. “Chisel Usecase : Designing General Matrix Multiply for FPGA”. In : *Applied Reconfigurable Computing. Architectures, Tools, and Applications*. Available at <https://hal.science/hal-03082750/>. Springer International Publishing, 2020, p. 61-72.

Autres publications internationales (posters, papiers cours, ...)

- [Fer+23] Bruno FERRES, Oussama OULKAID, Ludovic HENRIO, Mehdi KHOSRAVIAN G., Matthieu MOY, Gabriel RADANNE et Pascal RAYMOND. “Electrical Rule Checking of Integrated Circuits using Satisfiability Modulo Theory”. In : *Design, Automation & Test in Europe Conference & Exhibition (DATE), 2023*. Short paper (2 pages) and poster, available at <https://hal.science/hal-04007446v1>. IEEE, 2023.

Articles soumis

- [Fer+24] Bruno FERRES, Oussama OULKAID, Matthieu MOY, Gabriel RADANNE, Ludovic HENRIO, Pascal RAYMOND et Mehdi KHOSRAVIAN GHADIKOLAEI. “A Survey on Transistor-Level Electrical Rule Checking of Integrated Circuits”. 24 pages. Submitted to ACM TODAES on February 22. 2024.

Manuscrit de thèse

- [Fer22] Bruno FERRES. “Leveraging Hardware Construction Languages for Flexible Design Space Exploration on FPGA”. Available at <https://theses.hal.science/tel-03709710>. Thèse de doct. Université Grenoble Alpes, 2022.